

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250716

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01L 29/78

H01L 21/28

H01L 29/43

(21)Application number : 07-047572

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.03.1995

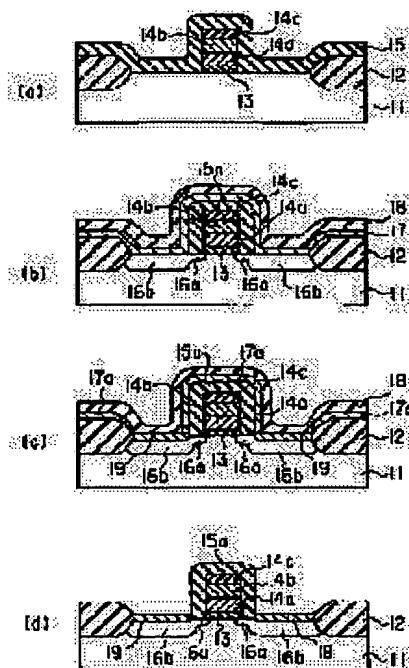
(72)Inventor : YAMADA MASAKI
OUCHI KAZUYA
SUGURO KYOICHI

(54) METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a silicide process in which the oxidation of a silicide film is prevented.

CONSTITUTION: The manufacturing method is composed of the four steps as follows: the first step of forming a titanium film 17 on a silicon substrate 11, the second step of forming a titanium nitride protective film on this titanium film 17, the third step of reacting said protective film 18 to the silicon substrate 11 by heat treatment to form a titanium silicide film 19 in C54 type orthorhombic structure and finally the fourth step of removing the titanium nitride protective film 18.



LEGAL STATUS

[Date of request for examination] 12.02.2002

[Date of sending the examiner's decision of rejection] 04.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250716

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 S
21/28	3 0 1		21/28	3 0 1 S
29/43			29/46	S
			29/78	3 0 1 G

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平7-47572

(22) 出願日 平成7年(1995)3月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山田 雅基

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 大内 和也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 須黒 恭一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

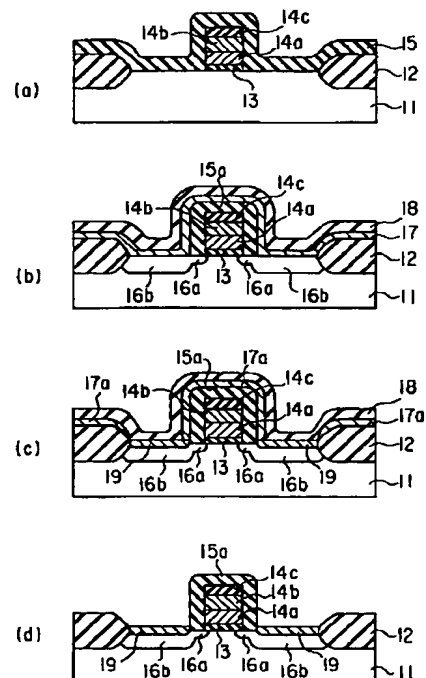
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法および半導体装置の製造装置

(57) 【要約】

【目的】 シリサイド膜の酸化を防止できるシリサイドプロセスを提供すること。

【構成】 シリコン基板11上にチタン膜17を形成する工程と、このチタン膜17上に窒化チタン保護膜18を形成する工程と、熱処理により、窒化チタン保護膜18とシリコン基板11とを反応させ、C54型の斜方結晶構造のチタンシリサイド膜19を形成する工程と、窒化チタン保護膜18を除去する工程とを有する。



【特許請求の範囲】

【請求項 1】 表面に半導体領域を有する基板の該半導体領域上に金属膜を形成する工程と、

この金属膜上に保護膜を形成する工程と、

熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成し、かつこの金属・半導体化合物膜の結晶構造または組成のうち、前記金属・半導体化合物の耐酸化性が最も高くなる結晶構造または組成になるように、前記熱処理を制御する工程と、

前記保護膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記基板はシリコン基板、前記金属・半導体化合物膜は C54 型の斜方結晶構造の $TiSi_2$ 膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記基板はシリコン基板、前記金属・半導体化合物膜は $CoSi_2$ 膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 表面に半導体領域を有する基板の該半導体領域の表面の酸化膜を化学反応により除去する第 1 の工程と、

前記半導体領域上に金属膜を形成する第 2 の工程と、熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成する第 3 の工程とを有し、

前記第 1 の工程から第 3 の工程までの工程中に、前記基板を大気に晒さないことを特徴とする半導体装置の製造方法。

【請求項 5】 前記第 1 の工程は、化学反応によるウェット処理を行なった後、化学反応によるドライ処理を行なう工程であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 表面に半導体領域を有する基板の該半導体領域の表面の酸化膜を化学反応により除去する第 1 の処理容器と、

この第 1 の処理容器に気密に接続され、前記半導体領域上に金属膜を形成する第 2 の処理容器と、

この第 2 の処理容器に気密接続され、熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成する第 3 の処理容器とを具備してなることを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、金属・半導体化合物膜を有する半導体装置の製造方法および製造装置に関する。

【0002】

【従来の技術】 近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1 チップ上に集積化して形成した大規模集積回路 (LSI) が多用されている。このため、機器全体の性能は、LSI 単体の性能と大きく結び付いている。

【0003】 LSI 単体の性能向上は、集積度を高めること、つまり、素子の微細化により実現できる。しかし、今後の超々大規模集積回路 (ULSI) では、単に縮小則にしたがった微細化では、寄生抵抗の影響から性能向上は困難である。

【0004】 このような寄生抵抗の影響を低減できる技術としては、MOSFET の場合であれば、サリサイド技術がある。サリサイド技術によれば、シリサイド膜となる高融点金属膜の堆積と熱処理とにより、ソース・ドレイン領域 (不純物拡散層) 上に、シリサイド膜を自己整合的に形成でき、ソース・ドレイン領域の抵抗を 1 桁以上低減できる。

【0005】 図 11 に、従来のサリサイド技術を用いた MOSFET の製造方法の工程断面を示す。まず、図 11 (a) に示すように、シリコン基板 101 の表面にフィールド酸化膜 102 を形成し、次いでこのフィールド酸化膜 102 により規定された素子形成領域のシリコン基板 101 上に、ゲート酸化膜 103、ゲート電極 104、ゲート保護膜 105 を形成する。この後、ゲート保護膜 105 をマスクとして、不純物のイオン注入を行なって、低濃度の浅いソース・ドレイン領域 106a を形成する。

【0006】 次に同図 (a) に示すように、ゲート側壁絶縁膜 107 となる $SiNx$ や SiO_2 などの絶縁膜を化学気相成長法 (CVD 法) により全面に堆積した後、この絶縁膜を反応性イオンエッチングにより全面エッチングして、厚さ 50~150 nm 程度のゲート側壁絶縁膜 107 を形成する。

【0007】 次にシリコン基板 101 の表面の汚染物を酸性やアルカリ性の溶液により除去し、この清浄なシリコン基板 101 の表面に薄いシリコン酸化膜を形成した後、ゲート保護膜 105 およびゲート側壁絶縁膜 107 をマスクとして、不純物のイオン注入を行なって、高濃度の深いソース・ドレイン領域 106b を形成する。しかる後、熱処理 (アニール) により不純物を電氣的に活性化させる。

【0008】 次にソース・ドレイン領域 106a、106b の表面の上記薄いシリコン酸化膜を希弗酸系のエッチング液で除去し、純水により洗浄した後、シリコン基板 101 を大気に取り出し、窒素を吹き付けながら乾燥させる。

【0009】 次にシリコン基板 101 を真空装置内にセットした後、図 11 (b) に示すように、厚さ 20~3

0 nm程度の薄いチタン膜108、厚さ70 nm程度の窒化チタン保護膜109をスパッタ法により全面に形成する。

【0010】ここで、チタン膜108が薄いのは、ソース・ドレイン領域が浅いため、厚いシリサイド膜を形成すると、接合リークが生じるからである。次にシリコン基板101を真空装置から大気に取り出し、専用のランプアニール装置を用いて600～750℃、30～60秒間の低温のRTA (Rapid Thermal Anneal) を行なっ

て、図11(c)に示すように、ソース・ドレイン領域106bの表面にチタンシリサイド(TiSi₂)膜110を自己整合的に形成する。

【0011】ここで、低温のRTAを行なっているの

で、チタン膜108には高抵抗の相(C49型の斜方結晶構造)が存在する。ここで、高温のRTAを行なえば、完全に低抵抗の相であるC54型の斜方結晶構造に相転移できるが、この場合、ブリッジングと呼ばれるシリサイドによるソース・ドレイン領域とゲート電極との短絡という問題が生じる。低抵抗な相(C54型の斜方結晶構造)への相転移温度が上昇するのは、チタン膜108が薄いからである。

【0012】この後、処理ブースにて硫酸、塩酸およびアンモニア水のいずれかと過酸化水素水との混合液を用いて、フィールド酸化膜102、ゲート保護膜105等の絶縁膜上に残った未反応のチタン膜(不図示)、絶縁膜とチタン膜108との反応生成物(不図示)、窒化チタン保護膜109をエッチング除去して、ソース・ドレイン領域106b上に厚さ35～65 nm程度のチタンシリサイド膜110を残す。

【0013】この段階では、チタンシリサイド膜110はまだ完全には低抵抗相のC54型の斜方結晶構造に相転移していないので、再度専用のアニール装置を用いて850～900℃、20秒間の高温のRTAを行なっ

て、チタンシリサイド膜110を完全に低抵抗相のC54型の斜方結晶構造にする。

【0014】しかしながら、この種の従来のシリサイド技術を用いたMOSFETの製造方法には以下のような問題がある。まず、未反応のチタン膜、反応生成物、窒化チタン保護膜109を除去した後に、高温のRTAを行なっ

て、チタンシリサイド膜110を完全に低抵抗相のC54型の斜方結晶構造にしても、チタンシリサイド膜110による低抵抗化が困難であるという問題があった。

【0015】また、シリサイド技術を浅いソース・ドレイン領域に適用するため、低温のRTA、高温のRTAの二つがRTAが必要になり、プロセスが増加するという問題もある。さらに、必要な装置も多数に及ぶ。例えば、前処理装置、乾燥機、スパッタ装置、アニール装置が必要となる。

【0016】しかも、装置間でのシリコン基板(ウェ

ハ)の移動に多くの時間がかかり、また、装置が使用されるまでの間に待ち時間が多くなってしまふ。その結果、工期が長くなり装置コストも高くなる。さらに、問題が起きたときに行なう対策がかなり遅れて打たれることになる。

【0017】従来のシリサイド技術によりシリサイド膜を自己整合的に形成する場合の時間を見積もると、シリサイド膜となる高融点金属膜をスパッタする前の前処理(自然酸化膜の除去)から高温のRTA終了まで、25枚のウェハを処理するのにかかる時間を合計すると、装置間の待ち時間を別にして518分になる。

【0018】一方、各々のプロセスを部分的にドッキングさせる試みは、本発明とは異なる目的であるが提案されている。例えば、シリコン基板の表面上に高融点金属膜を形成する前に、無水弗酸とメチルアルコールまたはエチルアルコールとの混合液を蒸発させて、シリコン基板の表面を処理することにより、シリコン基板の表面の自然酸化膜を除去する方法が提案されている(特開平6-29235)。

【0019】発明者等の検討では、この処理が自然酸化膜の除去に有効であることを確認しているが、シリコン基板を大気に取り出したときに、シリコン基板の表面が再び酸化されることも明らかになり、シリサイド膜による低抵抗化は困難である。

【0020】大気を構成している気体は、約80%が窒素、20%酸素であるが、水蒸気も存在する。ここで、水蒸気分圧が1ppb未満であれば、酸素中でもシリコン基板の表面は安定である。

【0021】しかし、水蒸気分圧が高いと、シリコン基板の表面を終端しているHやFがOやOHで置き換えられる。このため、シリコン基板の表面の自然酸化膜を除去した後は、高真空中か、水蒸気分圧の低い不活性ガス雰囲気中を搬送して金属の成膜室までシリコン基板を運ばなくてはならない。

【0022】また、自然酸化膜の除去を行なう容器を開放した時の安全性を考慮すると、無水弗酸とアルコールとの混合液の蒸気により自然酸化膜の除去する場合には、容器の内壁や内蔵物に付着したHFが蒸発し、このHF蒸気により人体が悪影響を受けるという問題がある。さらに、HFが付着する場所での金属材料腐食の問題も生じる。

【0023】一方、金属膜のスパッタ室と熱処理室とを搬送系を介し接続して、高融点金属膜とシリサイド膜とを連続的に形成する方法が提案されている(Proceeding of 11th International VLSI Multilevel Interconnection Conference, p.389(1994))。

【0024】これは、シリコン基板の表面を希弗酸により前処理した後に大気に取り出し、スパッタ室でチタン膜を成膜し、フログレッグ(frog-leg)方式の搬送系を用いて熱処理室に移動させた後、窒素中での

675℃、120秒の熱処理により、シリサイド膜を形成するという方法である。

【0025】この方法の場合、シリコン基板の表面の前処理が湿式処理のため、シリコン基板から水が除去される過程で、水ガラスがシリコン基板の表面に析出するので、シリコン基板の表面の清浄度の制御が難しい。したがって、この場合も、シリサイド膜による低抵抗化は困難である。

【0026】

【発明が解決しようとする課題】上述の如く、微細化が進むと、シリサイド技術を用いても、シリサイド膜の表面の酸化や、シリコン基板の表面の汚染（酸化、水ガラスの析出）により、シリサイド膜による低抵抗化が困難であるという問題があった。

【0027】本発明は、上記事情を考慮してなされたもので、その目的とするところは、微細化が進んでも、金属・半導体化合物膜により低抵抗化を図れる半導体装置の製造方法および製造装置を提供することにある。

【0028】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置の製造方法（請求項1）は、表面に半導体領域を有する基板の該半導体領域上に金属膜を形成する工程と、この金属膜上に保護膜を形成する工程と、熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成し、かつこの金属・半導体化合物膜の結晶構造または組成のうち、前記金属・半導体化合物の耐酸化性が最も高くなる結晶構造または組成になるように、前記熱処理を制御する工程と、前記保護膜を除去する工程とを有する

【0029】また、本発明に係る他の半導体装置の製造方法（請求項2）は、上記発明（請求項1）において、基板がシリコン基板、前記金属・半導体化合物膜がC54型の斜方結晶構造の $TiSi_2$ 膜であることを特徴とする。

【0030】また、本発明に係る他の半導体装置の製造方法（請求項3）は、上記発明（請求項1）において、半導体基板がシリコン基板、前記金属・半導体化合物膜が $CoSi_2$ 膜であることを特徴とする。

【0031】また、本発明に係る他の半導体装置の製造方法（請求項4）は、表面に半導体領域を有する基板の該半導体領域の表面の酸化膜を化学反応により除去する第1の工程と、前記半導体領域上に金属膜を形成する第2の工程と、熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成する第3の工程とを有し、前記第1の工程から第3の工程までの工程中に、前記基板を大気に晒さないことを特徴とする。

【0032】また、本発明に係る他の半導体装置の製造方法（請求項5）は、上記発明（請求項4）において、前記第1の工程が、化学反応によるウェット処理を行なった後、化学反応によるドライ処理を行なう工程であることを特徴とする。

【0033】また、本発明に係る半導体装置の製造装置（請求項6）は、表面に半導体領域を有する基板の該半導体領域の表面の酸化膜を化学反応により除去する第1の処理容器と、この第1の処理容器に気密に接続され、前記半導体領域上に金属膜を形成する第2の処理容器と、この第2の処理容器に気密接続され、熱処理により前記金属膜と前記半導体領域とを反応させ、前記金属膜の構成金属と前記半導体領域の構成半導体とからなる金属・半導体化合物膜を形成する第3の処理容器とを備えたことを特徴とする。

【0034】

【作用】本発明者等の研究によれば、高抵抗であるC49型の斜方結晶のチタンシリサイド（ $TiSi_2$ ）は、低抵抗であるC54型の斜方結晶のチタンシリサイド（ $TiSi_2$ ）よりも、酸化され易いことが分かった。

【0035】このため、従来の方、つまり、窒化チタン保護膜等の除去後に、C49型の斜方結晶のチタンシリサイド膜をC54型の斜方結晶のチタンシリサイド膜に変える場合には、窒化チタン保護膜等の除去の際に、チタンシリサイド膜の表面が強く酸化されるので、C54型の斜方結晶のチタンシリサイド膜に変わっても、低抵抗化は図れない。

【0036】また、 $CoSi_2$ は $CoSi_2$ よりも高抵抗で酸化され易いことが分かった。そこで、本発明（請求項1～請求項3）は、上記知見に基づき、保護膜の除去の前に、熱処理により、高耐酸化性の結晶構造または組成を有する金属・半導体化合物膜を形成するようにしている。

【0037】したがって、本発明（請求項1～請求項3）によれば、保護膜を除去する際における金属・半導体化合物膜の酸化による抵抗上昇を防止できるので、低抵抗の金属・半導体化合物膜を形成でき、低抵抗化を図れる。

【0038】本発明（請求項4、請求項5）によれば、第1の工程から第3の工程の間に基板が大気に晒されることがない。したがって、基板の半導体領域、金属・半導体化合物膜に自然酸化膜が形成されないで、金属・半導体化合物膜の抵抗上昇を防止できる。

【0039】また、本発明（請求項6）によれば、第1～第3の処理容器は、処理手順の順に接続されているので、第1の処理容器から第2の処理容器、第2の処理容器から第3の処理容器に基板を搬送する際に、基板を大気に晒さずに済む。したがって、搬送時に基板の半導体領域、金属・半導体化合物膜に自然酸化膜が形成されないで、金属・半導体化合物膜の抵抗上昇を防止でき

る。

【0040】

【実施例】以下、図面を参照しながら実施例を説明する。

（第1の実施例）図1は、本発明の第1の実施例に係るMOSFETの製造方法を示す工程断面図である。

【0041】まず、図1(a)に示すように、単結晶のシリコン基板11の表面にフィールド酸化膜12を熱酸化により形成する。次に同図(a)に示すように、フィールド酸化膜12により囲まれた素子形成領域のシリコン基板上11に、ゲート酸化膜13となるシリコン酸化膜、下部ゲート電極14aとなる多結晶シリコン膜、上部ゲート電極14bとなるタングステン膜を順次形成した後、このタングステン膜上に窒化シリコンからなるマスクパターン14cを形成する。

【0042】次に同図(a)に示すように、マスクパターン14cをエッチングマスクとして、上記シリコン酸化膜積／多結晶シリコン膜／タングステン膜をエッチングして、ゲート酸化膜13、下部ゲート電極14a、上部ゲート電極14bを形成する。

【0043】次に図1(b)に示すように、低濃度の浅いソース・ドレイン領域16aを形成するために、マスクパターン14cをマスクとして、不純物のイオン注入を行なう。この後、全面に窒化シリコン膜15をCVD法により形成し、この窒化シリコン膜15をRIE等の異方性エッチングにより全面エッチングし、ゲート部の側壁に窒化シリコン膜15を選択的に残置して、ゲート側壁絶縁膜15aを形成する。

【0044】次に同図(b)に示すように、高濃度の深いソース・ドレイン領域16bを形成するために、ゲート電極14およびゲート側壁絶縁膜15aをマスクとして、不純物のイオン注入を行なった後、アニールによりソース・ドレイン領域16a、16bの不純物を活性化する。

【0045】次に同図(b)に示すように、シリコン基板11の表面の自然酸化膜を弗酸系処理により除去した後、全面にチタン膜17、窒化チタン保護膜18を順次形成する。窒化チタン保護膜18は、チタン膜17の酸化防止、後工程で形成されるチタンシリサイド膜の表面が凹凸状になるのを防止するための膜である。

【0046】次に図1(c)に示すように、大気圧以上の圧力の不活性ガス雰囲気中で熱処理を行なうことにより、シリコン基板11の露出面に、全てがC54型の斜方結晶構造のチタンシリサイド(TiSi₂)膜19を形成する。このとき、シリコン基板11以外と接触するチタン膜17は反応せずに、チタン膜17b、窒化チタン膜18として残留する。上記熱処理は、例えば、シリコン基板が収容した反応室内にバーガスとしてのN₂ガスを供給しながら行なう。

【0047】ここで、上記熱処理は、ソース・ドレイン

領域16a、16bの形成方法によって異なる。これは形成方法の違いによってC49構造とC54構造とが混在したチタンシリサイド膜19あるいは全てがC54構造のチタンシリサイド膜19が形成されるからである。

【0048】具体的には、チタン膜17、窒化チタン保護膜18を形成する前に、酸化膜を通してイオン注入し、活性化アニールを行なってソース・ドレイン領域16a、16bを形成した場合には、750℃、30秒以上の熱処理を行なう。

【0049】また、酸化膜を通してイオン注入し、活性化アニールを行なわないでソース・ドレイン領域16a、16bを形成した場合には、750℃、40秒以上の熱処理を行なう。

【0050】また、酸化膜なしでイオン注入し、活性化アニールを行なってソース・ドレイン領域16a、16bを形成した場合には、750℃、25秒以上の加熱処理を行なう。

【0051】また、酸化膜なしでイオン注入し、活性化アニールを行なわないでソース・ドレイン領域16a、16bを形成した場合には、750℃、20秒以上の熱処理を行う。

【0052】上記熱処理の温度、時間はチタン膜17の膜厚によって異なる。図2は、上記熱処理の温度と上記熱処理の時間とチタン膜17の膜厚との関係を示す特性図である。図2から、例えば、チタン膜17の膜厚が20nmであれば、熱処理の温度が700℃、750℃、800℃の場合、熱処理の時間はそれぞれ900秒、30秒、10秒以上となる。

【0053】次に図1(d)に示すように、H₂SO₄とH₂O₂との1:1の混合液をエッチャントとして用いて、未反応のチタン膜17a、窒化チタン膜18を常温で剥離する。その結果、ソース・ドレイン領域16b上に自己整合的にチタンシリサイド(TiSi₂)膜19が形成される。

【0054】このとき、チタンシリサイド(TiSi₂)膜19の表面の酸化量をAES分析により調べてみた。図3にその分析を示す。なお、図3には従来方法によるチタンシリサイド(TiSi₂)膜の表面の酸化量(酸素濃度)も載せてある。

【0055】図3から、本発明のチタンシリサイド膜は、どの深さ(チタンシリサイド膜の表面からの深さ)においても、従来のチタンシリサイド膜よりも、酸化濃度が低いことが分かる。すなわち、本発明によれば、未反応のチタン膜17a、窒化チタン膜18の剥離工程におけるチタンシリサイド膜19の酸化を十分に抑制できるようになる。

【0056】このような効果が得られたのは、未反応のチタン膜17a、窒化チタン膜18を剥離する前に、チタンシリサイド膜19の全体が酸化が起こり難い構造であるC54型の斜方結晶構造になっているからである。

【0057】一方、従来方法の場合、未反応のチタン膜、窒化チタン膜を剥離する前のチタンシリサイド膜は酸化が起こり易いC49型であるからである。図4は、本発明の方法、従来方法により得られたチタンシリサイド(TiSi₂)膜に施す熱処理の温度(熱処理温度)とチタンシリサイド(TiSi₂)膜の表面に凝集の起こる時間との関係を示す図である。

【0058】図4から、本発明のチタンシリサイド膜は、熱処理温度に関係なく、従来方法のチタンシリサイド膜よりも凝集が起こる時間が長いことが分かる。すなわち、本発明によれば、耐熱性の高いチタンシリサイド膜が得られ(例えば、熱処理温度が800℃であれば、従来方法に比べて約2倍耐熱性が高くなる)、これにより、チタンシリサイド膜形成後の熱工程に制約されることなく、安定したプロセスが可能となる。したがって、チタンシリサイド膜形成後の熱工程に制約されることなく、安定したプロセスが可能となる。

【0059】このような耐熱性向上および上記熱酸化防止の効果により、ソース・ドレイン領域16a、16b(拡散層)の深さが0.15μm以下、チタンシリサイド膜の厚みが0.05μm以下の微細サイズでも、低抵抗で高耐熱性のMOSFETの作成が可能となる。

【0060】なお、本実施例では、シリサイド形成用の金属膜としてIVa族であるチタン膜を用いたが、V、VIa族の金属元素の膜でも良く、また、ニッケル、パラジウム、白金、コバルト等の遷移金属の膜でも良い。

【0061】ここで、コバルト(Co)膜の場合には、熱処理により組成比を制御して、低抵抗で酸化され難いCoSi₂膜を形成する。また、本実施例では、保護膜として窒化チタン(TiN)膜を用いたが、チタンタングステン(TiW)膜等のシリサイド膜に対して選択的に除去可能で、かつシリサイド形成用の金属膜と反応しない膜であれば、金属や金属化合物以外の膜でも良い。

【0062】また、熱処理の雰囲気は、N₂ガスやArガスのような不活性ガス雰囲気に限定されるものではなく、要はシリサイド膜と反応が起こらないようなガス雰囲気であれば良い。

(第2の実施例)図5は、本発明の第2の実施例に係る半導体装置の製造装置(半導体製造装置)の概略構成を示す模式図である。

【0063】この半導体製造装置は、基本的には枚葉式であり、大きく分けて、前処理容器21(第1の処理容器)と、この前処理容器21に接続された導入容器22と、この導入容器22に接続された成膜容器23(第2の処理容器)と、この成膜容器23に接続された熱処理容器24(第3の処理容器)と、この熱処理容器24に接続された剥離容器25と、この剥離容器25に接続された取出し容器26とから構成されている。

【0064】すなわち、被処理基体(半導体基板、ウェハ)の処理の順番と、容器の配列の順番とが一致してい

る。また、前処理容器21、導入容器22、成膜容器23、熱処理容器24は、剥離容器25、取出し容器26は線状に配置されており、被処理基体は容器の配列方向に平行にベルトコンベア方式に搬送されるようになって

いる。
【0065】前処理容器21は、被処理基体の表面の自然酸化膜を除去する容器で、自然酸化膜にHF蒸気を当てるところと、被処理基体を水洗処理するところから構成されている。水洗処理に用いる水は、溶存酸素濃度が10ppb以下に制御された純水である。

【0066】なお、前処理容器21の雰囲気は、処理した被処理基体が再度酸化されないように、窒素またはArなどの不活性ガス雰囲気であり、酸素分圧は10ppb以下の低分圧に制御されていることが望ましい。

【0067】次に上記の如く構成された半導体製造装置を用いたシリサイド膜の形成方法について説明する。図7はこの形成方法のプロセスフローを示す図である。まず、シリコン基板を前処理容器21に収容し、39.6%濃度のHF蒸気をシリコン基板の表面に垂直方向から流して、シリコン基板の表面の自然酸化膜を化学反応によるドライ処理により除去する。このとき、前処理容器21内の圧力は1気圧程度とする。この後、シリコン基板を水洗処理する。

【0068】なお、もともとシリコン基板の表面に厚さ1nm以上の自然酸化膜が存在すると、HF蒸気を当てても自然酸化膜はシリコン露出部のエッジ部分に集まってしまう。このエッジ部のシリコン酸化物の粒子は、パーティクルの原因となる。

【0069】このような不都合を防止するには、シリコン基板にHF蒸気を当て、シリコン基板を水洗処理し、シリコン基板を乾燥した後、再びシリコン基板にHF蒸気を当てれば良い。これにより、シリコン露出部分からシリコン酸化物の粒子を完全に取り除くことができる。

【0070】これら一連の処理(HF蒸気処理、水洗処理、HF蒸気処理)はそれぞれ別の箇所で行っても良いが、前処理容器21の大きさを小さくするためには、1箇所で行なうことが望ましい。

【0071】図10に、上記一連の処理を1箇所で行なうことができる前処理容器21の模式図を示す。図中、前処理容器21の下部には、シリコン基板を載置する回転可能な支持台42が設けられている。この支持台42はシリコン基板をその裏面から吸引し、回転時のシリコン基板の移動を防止できるようになっている。

【0072】一方、前処理容器21の上部には、HF蒸気を導入するシャワーヘッド43が設けられており、このシャワーヘッド43と支持台42の間には、水洗処理に使用する水を供給するための水サプライ44と、酸素など酸化性のガス不純物が10ppb以下に制御された高純度の窒素やAr等の不活性ガスを供給するためのガスサプライ46が設けられている。

【0073】水サプライ44、ガスサプライ46にはそれぞれ第1の回転制御部45、第2の回転制御部47が設けられており、これらにより、自然酸化膜の除去を行わないときに、水サプライ44、ガスサプライ46をシリコン基板から離れた所定の位置に待機させておくことができる。

【0074】次に自然酸化膜が除去されたシリコン基板を大気に晒さずに前処理容器21から導入容器22に搬送した後、この導入容器22の真空引きを行なう。この搬送は高真空中または水蒸気分圧の低い不活性ガス雰囲気中で行なう。

【0075】次にシリコン基板を大気に晒さずに導入容器22から成膜容器23に搬送した後、この成膜容器23内でシリコン基板上にチタン膜、窒化チタン保護膜をスパッタ法により形成する。この搬送は高真空中または水蒸気分圧の低い不活性ガス雰囲気中で行なう。

【0076】このとき、成膜容器23内の圧力は、例えば、 10^{-5} Pa程度とする。また、上記スパッタは、シリコン基板に残存しているH、Fが除去される条件でも良いし、除去されない条件でも良い。上記H、Fは自然酸化膜の除去工程の際に用いたHF蒸気によるものである。

【0077】次にチタン膜、窒化チタン保護膜が形成されたシリコン基板を大気に晒さずに成膜容器23から熱処理容器24に搬送した後、この熱処理容器24内でシリコン基板を真空加熱（熱処理）を施すことにより、シリコン基板の表面にチタンシリサイド膜を形成する。この搬送は高真空中または水蒸気分圧の低い不活性ガス雰囲気中で行なう。

【0078】このとき、上記真空加熱の温度、時間は、例えば、それぞれ、 750°C 、60秒とし、また、熱処理容器24内の圧力は、例えば、 10^{-3} Pa程度とする。また、チタン膜、窒化チタン保護膜の成膜時にH、Fを除去しない場合でも、この真空加熱時にH、Fは除去される。この真空加熱を減圧雰囲気中で行なう場合には取出し容器25がベント室（Load out室）となる。熱処理を1気圧以上で行うときにはベント室を熱処理室よりも上流側に設けることが望ましい。

【0079】次にチタンシリサイド膜が形成されたシリコン基板を熱処理容器24から剥離容器25に搬送した後、この剥離容器25内で、窒化チタン保護膜、未反応のチタン膜をプラズマ処理等のドライ処理により剥離する。

【0080】最後、取出し室25からシリコン基板を取り出して、室顕微鏡検査によりチタンシリサイド膜の良否判定を行なう。本実施例によれば、各容器が処理手順の順に接続されているので、自然酸化膜の除去してからチタンシリサイド膜を形成するまでの工程において、シリコン基板を大気に晒さずに済むので、再酸化によるシリサイド膜の抵抗上昇を防止できる。

【0081】また、本実施例の場合、未反応のチタン膜の剥離がドライ処理によるものなので、希弗酸による従来のウェット前処理の場合のように、シリコン基板の表面に水ガラスが析出し、シリコン基板の表面の清浄度の制御が困難になるという問題は生じない。

【0082】さらにまた、本実施例の場合、各容器間のシリコン基板の搬送はベルトコンベア方式によるものであるため、従来の半導体製造装置、つまり、搬送室の周辺にクラスタ状にプロセスチャンバを配置し、シリコン基板の搬送がフロッグレッグ方式のものであるマルチチャンバ装置に比べて、以下のような利点がある。

【0083】すなわち、従来のマルチチャンバ装置の場合、搬送がフロッグレッグ方式によるものであるため、チャンバ数が4以上になると、搬送時間が長くなるという問題がある。また、フロッグレッグを2対以上にすると、フロッグレッグの移動制御が困難になり、これによっても、搬送時間が長くなるという問題が生じる。

【0084】しかし、本実施例のベルトコンベア方式の移動を用いた半導体製造装置によれば、上記問題は生じない。本実施例の半導体製造装置の搬送時間は従来のマルチチャンバ装置のその50%以下になる。

【0085】また、本実施例の半導体製造装置を用いて25個のシリコン基板を処理する場合、HF蒸気処理から窒化チタン保護膜および未反応のチタン膜の剥離までの工程に要する時間は200分、顕微鏡検査に要する時間は10分であるので、チタンシリサイド膜の形成に係るプロセス時間は210分となる。

【0086】一方、上記従来のマルチチャンバ装置を用いて25個のシリコン基板を処理する場合、チタンシリサイド膜の形成に係るプロセス時間は518分となる。この従来のチタンシリサイド膜の形成方法のプロセスフローを図8に示す。

【0087】図中、前処理（NCB）はアルカリ系処理および希弗酸処理による自然酸化膜の除去を示し、また、ウェットTiN剥離は H_2SO_4 と H_2O_2 との混合液によるものである。この例の場合、本実施例によれば、チタンシリサイド膜の形成に係るプロセス時間を従来のその40%程度に短縮できる。

（第3の実施例）図6は、本発明の第3の実施例に係る半導体製造装置の概略構成を示す模式図である。

【0088】この半導体製造装置は、枚葉式であり、大きく分けて、前処理容器21と、この前処理容器21に接続された導入容器22と、この導入容器22に接続された第1の成膜容器23₁と、この第1の成膜容器23₁に接続された第2の成膜容器23₂と、この第2の成膜容器23₂に接続された熱処理容器24と、この熱処理容器24に接続された剥離容器25と、この剥離容器25に接続された取出し容器26とから構成されている。

【0089】すなわち、被処理基体（半導体基板、ウェ

ハ) の処理の順番と、容器の配列の順番とが一致している。また、前処理容器 2 1、導入容器 2 2、第 1 の成膜容器 2 3₁、第 2 の成膜容器 2 3₂、熱処理容器 2 4、剥離容器 2 5、熱処理容器 2 6 は直線状に配置され、被処理基体は容器の配列方向に平行にベルトコンベア方式に搬送されるようになっている。また、この搬送は高真空中または水蒸気分圧の低い不活性ガス雰囲気中で行なわれる。

【0090】本実施例の半導体製造装置が第 2 の実施例のそれと異なる点は、成膜容器が第 1 の成膜容器 2 3₁ と第 2 の成膜容器 2 3₂ との 2 個に増えていることにある。すなわち、本実施例では、チタン膜を成膜する成膜容器 (第 1 の成膜容器 2 3₁) と窒化チタン膜を成膜する成膜容器 (第 2 の成膜容器 2 3₂) とを別個にすることにより、チタンシリサイド膜の形成に係るプロセス時間をさらに短縮することにある。

【0091】また、シリコン基板、ウェハ等の被処理基体は一枚ずつ処理する。その理由はもっとも時間がかかるプロセス (導入容器 2 2 および取出し容器 2 6 の真空引きと (不活性ガスによる大気圧化) で処理スピードが

【0092】次に上記半導体製造装置を用いたチタンシリサイド膜の形成方法について説明する。まず、前処理容器 2 1 内でシリコン基板に 2 秒間の HF 蒸気処理、約 60 秒間の水洗、乾燥、2 秒間の再度 HF 蒸気処理を順次施すことにより、シリコン基板の表面の自然酸化膜を除去するこの前処理にかかる時間は約 2 分。

【0093】次に自然酸化膜が除去されたシリコン基板を大気に晒さずに前処理容器 2 1 から導入容器 2 2 に搬送した後、この導入容器 2 2 の真空引きを行なう。このとき、所望の圧力になるまでに約 5 分かかる。

【0094】次にシリコン基板を大気に晒さずに導入容器 2 2 から第 1 の成膜容器 2 3₁ に搬送した後、この第 1 の成膜容器 2 3₁ 内でシリコン基板上に厚さ 30 nm のチタン膜をスパッタ法により形成する。

【0095】このとき、チタン膜の成膜時間は 20 秒である。また、第 1 の成膜容器 2 3₁ 内の圧力は、例えば、 10^{-5} Pa 程度とする。次にチタン膜が形成されたシリコン基板を大気に晒さずに第 1 の成膜容器 2 3₁ から第 2 の成膜容器 2 3₂ に搬送した後、この第 2 の成膜容器 2 3₂ 内でチタン膜上に厚さ 70 nm の窒化チタン膜を形成する。

【0096】このとき、窒化チタン膜の成膜時間は 70 秒である。また、第 2 の成膜容器 2 3₂ 内の圧力は、例えば、 10^{-5} Pa 程度とする。次にチタン膜、窒化チタン膜が形成されたシリコン基板を第 2 の成膜容器 2 3₂ から熱処理容器 2 4 に搬送した後、この熱処理容器 2 4 内に 750℃、60 秒の真空加熱を施すことにより、シリコン基板の表面にチタンシリサイド膜を形成する。熱処理容器 2 4 内の圧力は、例えば、 10^{-3} Pa 程度とす

る。

【0097】次にチタンシリサイド膜が形成されたシリコン基板を熱処理容器 2 4 から剥離容器 2 5 に搬送した後、この剥離容器 2 5 内で、窒化チタン保護膜、未反応のチタン膜をプラズマ処理等のドライ処理により剥離する。

【0098】具体的には、HCl または H₂、Cl₂ ガスの反応ガスを放電させて、プラズマを形成し、これにより、窒化チタン保護膜、未反応のチタン膜を剥離する。また、プラズマ (励起したハロゲンラジカルまたはイオン) のエネルギーが 100~300 eV 程度になるように、反応ガスの圧力、放電時に用いる高周波電力などを制御する。エッチング速度は、100 nm/分であり、処理に要する時間は 1 分弱となる。また、チタンシリサイド (TiSi₂) 膜のエッチング速度は 5 nm/分以下で、十分な選択比が取れる。

【0099】次にシリコン基板を剥離容器 2 5 から取出し容器 2 6 に搬送した後、取出し容器 2 6 内の圧力を大気圧にする。大気圧にするまでの時間は約 5 分である。最後に、取出し室 2 5 からシリコン基板を取り出して、顕微鏡検査によりチタンシリサイド膜の良否判定を行なう。

【0100】この連続処理を用いた場合、チタンシリサイド膜の形成に係るプロセス時間はウェハ (シリコン基板) 1 枚当たり 5 分強 (ロスタイム 2 分、合計 7 分) である。したがって、25 枚の処理時間は 175 分で、顕微鏡検査を含めても 185 分で全ての処理が完了する。従来よりも 64% の工期短縮になる。

【0101】なお、第 2、第 3 の実施例の方法を用いて形成したチタンシリサイド膜とシリコン基板との界面の平坦度は極めて良く、膜厚 65 nm のチタンシリサイド膜に対して 3σ まで含めたバラツキは 3% 以下 (従来は 20%) であった。

【0102】また、シート抵抗は 2.0 Ω/□ と低く (従来は 3.5~20 Ω/□ と高い)、800℃、60 分の熱処理後においても抵抗上昇は起こらない (従来は 5~100 Ω/□) ことが確認された。

【0103】このシート抵抗から比抵抗を見積もると、 $13 \mu\Omega \cdot \text{cm}$ という小さい値になり、100 nm 以上の厚い膜で文献で報告されている最小値と同じ値が得られることになる。

【0104】この理由は、シリコン基板の表面から完全に自然酸化膜を除去し、再酸化を抑制したことと、自然酸化膜の除去に、酸化性の溶液 (硫酸/過酸化水素水、塩酸/過酸化水素水、アンモニア水/過酸化水素水) ではなく、化学反応によるドライ処理を用いたからである。

【0105】また、上記実施例 (第 2、第 3 の実施例) のシリサイド膜の膜厚およびシート抵抗のばらつきは、従来のその 1/6~1/7 程度に低減し、耐熱性も 1

0 0℃以上高くなった。

【0106】このような改善により、サリサイド構造の形成に上記実施例の方法を用いた微細MOSFET（ゲート長：0.1～0.25μm、ゲート絶縁膜厚：4～6nm）は、従来の微細MOSFETよりも駆動能力が30%以上高くなる。また、このような高駆動能力の微細MOSFETを用いることにより、MPUなど高速性を要求されるLSIに対して所望のスピードが得られることが確認された。

【0107】なお、本発明は上述した第1～第3の実施例に限定されるものではない。例えば、第1の実施例のチタンシリサイド膜を第2または第3の実施例の半導体製造装置を用いて形成しても良い。

【0108】さらに、上記実施例では、表面に半導体領域を有する基板としてシリコン基板を用いたが、シリコン酸化膜上にシリコン膜が形成されたいわゆるSOI（Silicon On Insulator）基板を用いても良いことは言うまでもない。

【0109】

【発明の効果】以上詳述したように本発明（請求項1～請求項3）によれば、保護膜を除去する際における金属・半導体化合物膜の酸化による抵抗上昇を防止できるので、低抵抗の金属・半導体化合物膜を形成できるようになる。

【0110】また、本発明（請求項4～請求項6）によれば、金属・半導体化合物膜の形成に係る工程において、金属・半導体化合物膜に自然酸化膜は形成されないため、金属・半導体化合物膜を低抵抗に保つことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るMOSFETの製造方法を示す工程断面図

【図2】熱処理温度と形成時間とチタン膜厚との関係を示す特性図

【図3】本発明のチタンシリサイド膜の表面の酸化量が従来のそれよりも少ないことを示す図

【図4】本発明のチタンシリサイド膜が従来のそれより

も凝集を起こし難いことを示す図

【図5】本発明の第2の実施例に係る半導体製造装置の概略構成を示す模式図

【図6】本発明の第3の実施例に係る半導体製造装置の概略構成を示す模式図

【図7】本発明の第2の実施例に係るシリサイド膜のプロセスフローを示す図

【図8】従来のシリサイド膜のプロセスフローを示す図

【図9】本発明の第3の実施例に係るシリサイド膜のプロセスフローを示す図

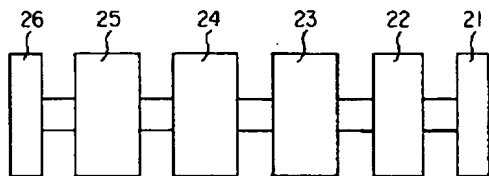
【図10】前処理容器の具体的な構成を示す模式図

【図11】従来のサリサイド技術を説明するための工程断面図

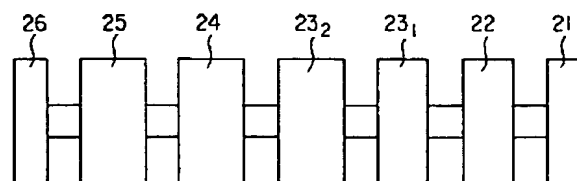
【符号の説明】

- 11 …シリコン基板
- 12 …フィールド酸化膜
- 13 …ゲート酸化膜
- 14a …下部ゲート電極
- 14b …上部ゲート電極
- 14c …マスクパターン
- 15 …窒化シリコン膜
- 15a …ゲート側壁絶縁膜
- 16a …浅いソース・ドレイン領域
- 16b …深いソース・ドレイン領域
- 17 …チタン膜
- 17a …未反応のチタン膜
- 18 …窒化チタン保護膜
- 19 …チタンシリサイド膜
- 21 …前処理容器 21（第1の処理容器）
- 22 …導入容器
- 23 …成膜容器（第2の処理容器）
- 23₁ …成膜容器（第2の処理容器）
- 23₂ …成膜容器（第2の処理容器）
- 24 …熱処理容器（第3の処理容器）
- 25 …剥離容器
- 26 …取出し容器

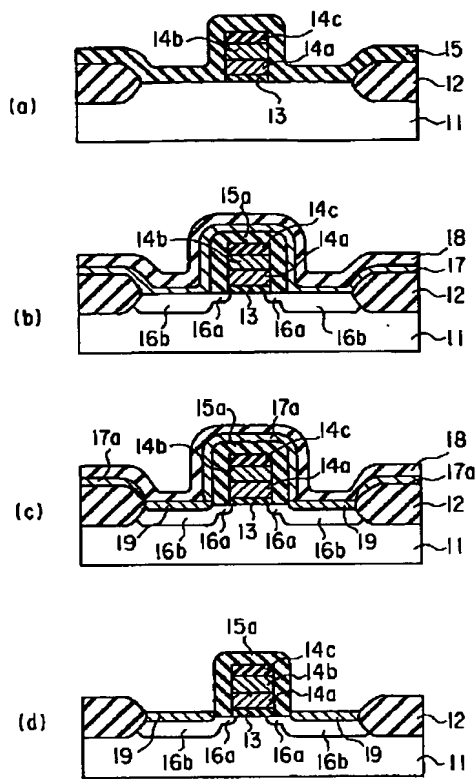
【図5】



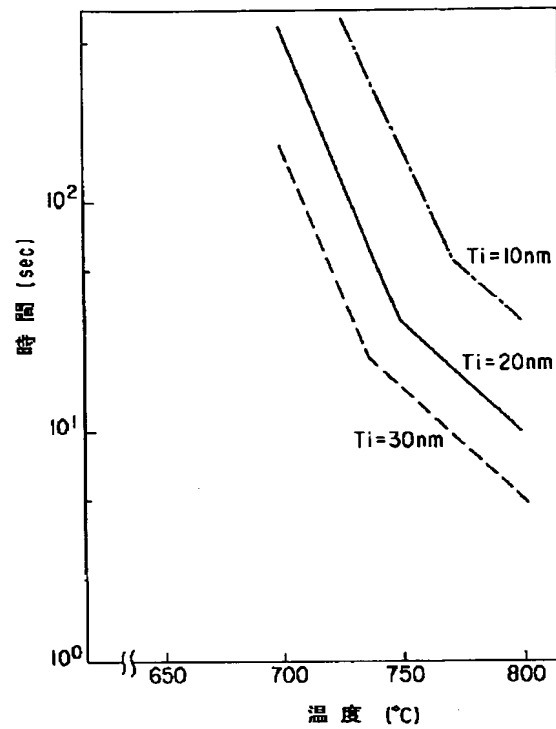
【図6】



【図1】



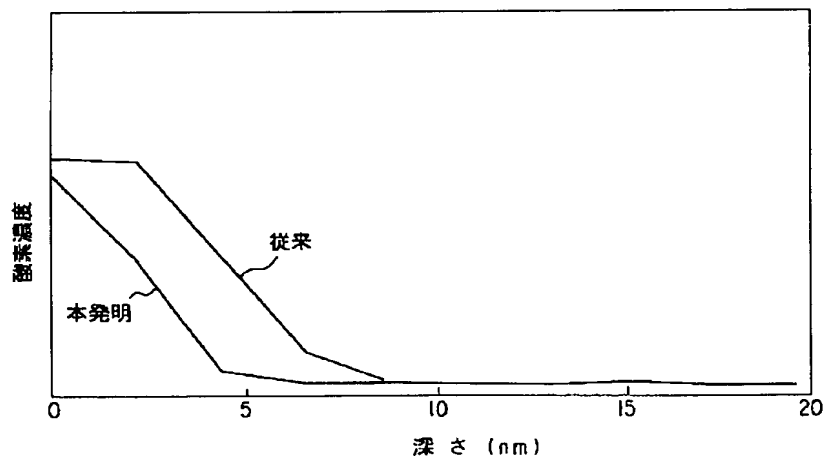
【図2】



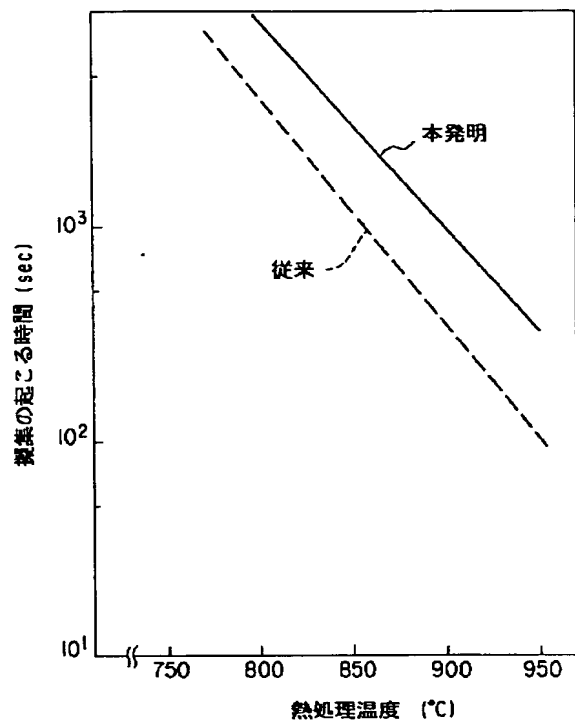
【図8】

● 前処理 (NCB)	52分
● TiN/Ti スパッタ (700/300Å)	200分
● 前処理 (水洗)	12分
● RTA (750C, 30sec)	96分
● ウエット TiN 剥離	52分
● 顕微鏡検査	10分
● RTA (850C, 30sec)	96分
合計処理時間	518分

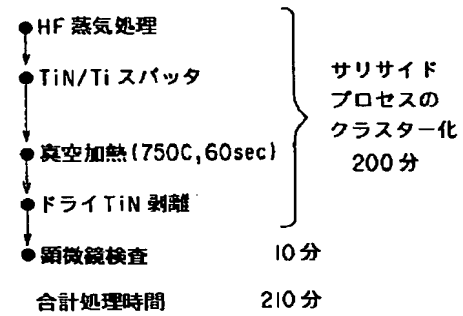
【図3】



【図 4】

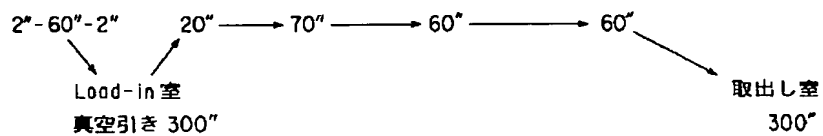


【図 7】

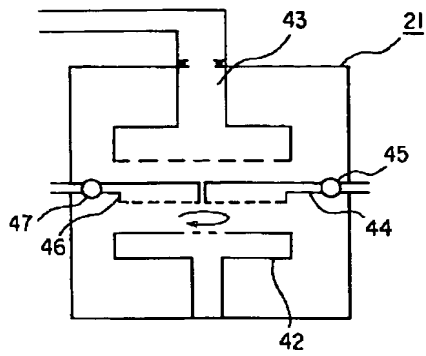


【図 9】

HF 蒸気処理 → Ti スパッタ → TiN スパッタ → 真空加熱 → ドライ TiN 剥離
 (1atm) (ベース 10^{-5} Pa, スパッタ & クニール 10^{-3} Pa) (10 ~ 100 Pa)



【図 10】



【図 11】

